

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163647
 (43)Date of publication of application : 18.06.1999

(51)Int.CI. H03F 3/70
 H03H 19/00

(21)Application number : 09-323292
 (22)Date of filing : 25.11.1997

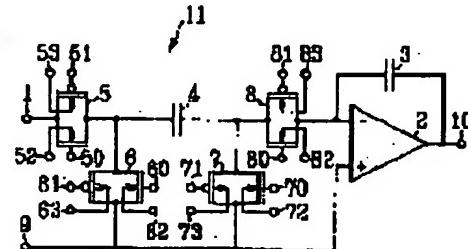
(71)Applicant : DENSO CORP
 (72)Inventor : TAKAHASHI MITSURU
 SHIOTANI TAKESHI
 TANAKA HIROAKI

(54) SWITCHED CAPACITOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a switched capacitor circuit which prevents a leak current increase and performs high accuracy operation with a low power supply voltage to attain low power consumption.

SOLUTION: In an NMOS transistor that constitutes each switch 5 to 8, when a control voltage of each substrate voltage control terminal 52, 62, 72 and 82 is increased, a threshold voltage decreases. In a PMOS transistor, when a control voltage that is applied to each substrate voltage control terminal 53, 63, 73 and 83 is decreased, the threshold voltage increases. In an integrator 11, if a substrate voltage is controlled to increase an absolute value of the threshold value when each switch 5 to 8 is off, a leak current reduces and integration precision is improved. If the substrate voltage is controlled to reduce the absolute value of the threshold value when each switch 5 to 8 is on, it is possible to reduce a power supply voltage and to attain low power consumption, as it is possible to surely turn on the transistors with the low power supply voltage.



LEGAL STATUS

[Date of request for examination] 27.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998.2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-163647

(43)公開日 平成11年(1999)6月18日

(51)Int.Cl*

H 03 F 3/70
H 03 H 19/00

識別記号

P I

H 03 F 3/70
H 03 H 19/00

(21)出願番号 特願平9-323292

(22)出願日 平成9年(1997)11月25日

審査請求 未請求 請求項の数9 OL (全13頁)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 高橋 充

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 塩谷 武司

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 田中 裕章

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

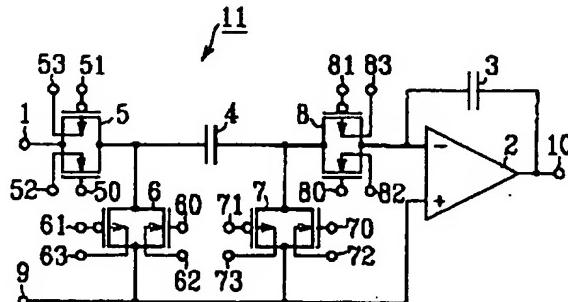
(74)代理人 弁理士 足立 効

(54)【発明の名称】スイッチトキャバシタ回路

(57)【要約】

【課題】低消費電力化を図るために低電源電圧化を行った際に、リーク電流の増大を防止して高精度な動作が可能なスイッチトキャバシタ回路を提供する。

【解決手段】各スイッチ5～8を構成するN MOSトランジスタにおいて、各基板電圧制御端子52, 62, 72, 82の制御電圧を増大させると、しきい値電圧が減少する。P MOSトランジスタにおいて、各基板電圧制御端子53, 63, 73, 83に印加する制御電圧を減少させると、しきい値電圧が増大する。積分器11において、各スイッチ5～8のオフ時には、しきい値電圧の絶対値が大きくなるように基板電圧を制御するとリーク電流が低減して積分精度が向上し、各スイッチ5～8のオン時には、しきい値電圧の絶対値が小さくなるように基板電圧を制御すると、電源電圧が低い場合でもトランジスタを確実にオンさせることができるようにする。



【特許請求の範囲】

【請求項1】 MOSトランジスタによって構成されるスイッチによってキャパシタの充放電を制御するスイッチトキャパシタ回路であって、前記スイッチを構成するMOSトランジスタのチャネル内の電界を制御することにより、当該スイッチのオン時には当該MOSトランジスタのしきい値電圧の絶対値を小さくし、当該スイッチのオフ時には当該MOSトランジスタのしきい値電圧の絶対値を大きくすることを特徴とするスイッチトキャパシタ回路。

【請求項2】 MOSトランジスタによって構成される複数のスイッチと、当該スイッチに接続されたキャパシタとを有し、複数の前記スイッチを交互にオン・オフ制御することにより、前記キャパシタの充放電を制御するスイッチトキャパシタ回路であって、複数の前記スイッチを構成する複数のMOSトランジスタのチャネル内の電界を制御することにより、複数の前記スイッチのうち、オン状態のスイッチを構成する複数のMOSトランジスタのしきい値電圧の絶対値を同時に小さくし、オフ状態のスイッチを構成する複数のMOSトランジスタのしきい値電圧の絶対値を同時に大きくすることを特徴とするスイッチトキャパシタ回路。

【請求項3】 請求項1または請求項2に記載のスイッチトキャパシタ回路において、

前記スイッチは、NチャネルMOSトランジスタまたはPチャネルMOSトランジスタの少なくとも一方から成ることを特徴とするスイッチトキャパシタ回路。

【請求項4】 請求項3に記載のスイッチトキャパシタ回路において、

前記スイッチは、NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えたCMOS構成のトランスマッシュゲートから成ることを特徴とするスイッチトキャパシタ回路。

【請求項5】 請求項3に記載のスイッチトキャパシタ回路において、

前記スイッチは、半導体基板上に絶縁体層を介して形成された単結晶半導体層にて構成されたMOSトランジスタから成り、

少なくとも前記MOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた埋め込み電極と、当該埋め込み電極に接続された基板電圧制御端子とを備え、

前記スイッチのオン時には、前記MOSトランジスタのしきい値電圧の絶対値を小さくする第1の制御電圧を前記基板電圧制御端子に印加し、

前記スイッチのオフ時には、前記MOSトランジスタのしきい値電圧の絶対値を大きくする第2の制御電圧を前記基板電圧制御端子に印加することを特徴とするスイッチトキャパシタ回路。

【請求項6】 請求項3または請求項4に記載のスイッ

チトキャパシタ回路において、

前記スイッチは、

半導体基板上に絶縁体層を介して形成された第1の単結晶半導体層にて構成されたNチャネルMOSトランジスタと、

当該半導体基板上に絶縁体層を介して形成された第2の単結晶半導体層にて構成されたPチャネルMOSトランジスタとから成り、

少なくとも前記NチャネルMOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた第1の埋め込み電極と、

少なくとも前記PチャネルMOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた第2の埋め込み電極と、

前記第1の埋め込み電極に接続された第1の基板電圧制御端子と、

前記第2の埋め込み電極に接続された第2の基板電圧制御端子とを備えたスイッチトキャパシタ回路であって、前記スイッチのオン時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第3の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第4の制御電圧を前記第2の基板電圧制御端子に印加し、

前記スイッチのオフ時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第5の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第6の制御電圧を前記第2の基板電圧制御端子に印加することを特徴とするスイッチトキャパシタ回路。

【請求項7】 請求項3に記載のスイッチトキャパシタ回路において、

前記スイッチは、半導体基板上のウェルに形成されたMOSトランジスタから成り、

前記ウェル上に形成された拡散層と、

当該拡散層に接続された基板電圧制御端子とを備え、

前記スイッチのオン時には、前記MOSトランジスタのしきい値電圧の絶対値を小さくする第1の制御電圧を前記基板電圧制御端子に印加し、

前記スイッチのオフ時には、前記MOSトランジスタのしきい値電圧の絶対値を大きくする第2の制御電圧を前記基板電圧制御端子に印加することを特徴とするスイッチトキャパシタ回路。

【請求項8】 請求項3または請求項4に記載のスイッ

チトキャパシタ回路において、

前記スイッチは、

半導体基板上のPウェルに形成されたNチャネルMOSトランジスタと、

半導体基板上のNウェルに形成されたPチャネルMOS

トランジスタとから成り、

前記Pウェル上に形成されたP型拡散層と、
前記Nウェル上に形成されたN型拡散層と前記P型拡散
層に接続された第1の基板電圧制御端子と、
前記N型拡散層に接続された第2の基板電圧制御端子と
を備えたスイッチトキャバシタ回路であって、
前記スイッチのオン時には、前記NチャネルMOSトランジ
スタのしきい値電圧の絶対値を小さくする第3の制
御電圧を前記第1の基板電圧制御端子に印加すると共
に、前記PチャネルMOSトランジスタのしきい値電圧
の絶対値を小さくする第4の制御電圧を前記第2の基板
電圧制御端子に印加し、

前記スイッチのオフ時には、前記NチャネルMOSトラン
ジスタのしきい値電圧の絶対値を大きくする第5の制
御電圧を前記第1の基板電圧制御端子に印加すると共
に、前記PチャネルMOSトランジスタのしきい値電圧
の絶対値を大きくする第6の制御電圧を前記第2の基板
電圧制御端子に印加することを特徴とするスイッチトキ
ャバシタ回路。

【請求項9】 請求項1～8のいずれか1項に記載のス
イッチトキャバシタ回路において、

前記スイッチを構成するMOSトランジスタの基板電圧
とゲート電圧とを等しくすることを特徴とするスイッチ
トキャバシタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はスイッチトキャバシ
タ回路に関するものである。

【0002】

【従来の技術】 従来より、MOS構造のキャバシタの充
放電を、MOSトランジスタによって構成されたスイッ
チによって制御することにより、積分器、加算器、アナ
ログフィルタ、A/D変換器、D/A変換器、発振器な
どの各種アナログ回路を実現するスイッチトキャバシタ
回路が広く利用されている（武部 他著「スイッチトキ
ャバシタ回路」発行：現代工学社 参照）。

【0003】 図12に、従来のスイッチトキャバシタ積
分器101の回路構成を示す。スイッチトキャバシタ積
分器101は、積分器の入力端子1、演算増幅器2、積
分容量3、サンプリング容量4、スイッチ5～8、基準
電圧入力端子9、積分器の出力端子10から構成されて
いる。

【0004】 入力端子1と演算増幅器2の反転入力端子
との間には、スイッチ5、サンプリング容量4、スイッ
チ8がこの順番で直列に接続されている。スイッチ5と
サンプリング容量4の間のノードAと基準電圧入力端子
9との間にはスイッチ6が接続され、サンプリング容量
4とスイッチ8との間のノードBと基準電圧入力端子9
との間にはスイッチ7が接続され、基準電圧入力端子9
と演算増幅器2の非反転入力端子とは接続されている。

演算増幅器2の反転入力端子と出力端子10との間には
積分容量3が接続されている。

【0005】 各スイッチ5～8はCMOS構成のトラン
ミッシュゲート（アナログスイッチ）から成り、各
スイッチ5～8をそれぞれ構成する各NチャネルMOS
トランジスタには各ゲート端子50、60、70、80
が設けられ、各スイッチ5～8をそれぞれ構成する各P
チャネルMOSトランジスタには各ゲート端子51、6
1、71、81が設けられている。

【0006】 尚、各スイッチ5～8を構成する各Nチャ
ネルMOSトランジスタの基板電圧は、グランド電圧
(=0V)に固定されている。また、各スイッチ5～8
を構成する各PチャネルMOSトランジスタの基板電圧
は、電源電圧に固定されている。

【0007】 各スイッチ5～8のオン・オフは、自身を
構成するNチャネルMOSトランジスタおよびPチャネ
ルMOSトランジスタが同時にオン・オフすることによ
つてなされる。つまり、各ゲート端子50、60、7
0、80、51、61、71、81には、各スイッチ5
～8をそれぞれ構成するNチャネルおよびPチャネルの
両MOSトランジスタが同時にオン・オフするような論
理レベルの制御信号が入力される。例えば、スイッチ5
をオンさせるには、ゲート端子50に論理レベル「1」
の制御信号を入力してNチャネルMOSトランジスタを
オンさせると共に、ゲート端子51に論理レベル「0」
の制御信号を入力してPチャネルMOSトランジスタを
オンさせる。

【0008】 図13に、スイッチトキャバシタ積分器1
01の各スイッチ5～8に入力される制御信号のタイミ
ングチャートを示す。各制御信号f1、f2は、互いの
論理レベルが「1」となる重複期間が存在せず、互いの
論理レベルが「0」となる非重複期間が存在する2相ク
ロックである。各制御信号バーf1、バーf2はそれぞ
れ、各制御信号f1、f2の論理レベルを反転させた2
相クロックである。

【0009】 スイッチトキャバシタ積分器101を逆相
積分器として動作させるには、各スイッチ5、8を制御
信号f1、バーf1に従ってオン・オフさせ、各スイッ
チ6、7を制御信号f2、バーf2に従ってオン・オフ
させればよい。すなわち、各スイッチ5、8を構成する
NチャネルMOSトランジスタの各ゲート端子50、8
0に制御信号f1を入力し、各スイッチ5、8を構成する
PチャネルMOSトランジスタの各ゲート端子51、
81に制御信号バーf1を入力し、各スイッチ6、7を
構成するNチャネルMOSトランジスタの各ゲート端子
60、70に制御信号f2を入力し、各スイッチ6、7を
構成するPチャネルMOSトランジスタの各ゲート端子
61、71に制御信号バーf2を入力する。

【0010】 また、スイッチトキャバシタ積分器101
を正相積分器として動作させるには、各スイッチ5、7

を制御信号 f_1 、バー f_1 に従ってオン・オフさせ、各スイッチ 6、8 を制御信号 f_2 、バー f_2 に従ってオン・オフさせればよい。すなわち、各スイッチ 5、7 を構成する N チャネル MOS トランジスタの各ゲート端子 5 0、7 0 に制御信号 f_1 を入力し、各スイッチ 5、7 を構成する P チャネル MOS トランジスタの各ゲート端子 5 1、7 1 に制御信号バー f_1 を入力し、各スイッチ 6、8 を構成する N チャネル MOS トランジスタの各ゲート端子 6 0、8 0 に制御信号 f_2 を入力し、各スイッチ 6、8 を構成する P チャネル MOS トランジスタの各ゲート端子 6 1、8 1 に制御信号バー f_2 を入力する。

【0011】尚、スイッチトキャバシタ積分器 101 の具体的な動作については、前掲書（「スイッチトキャバシタ回路」）に詳述されており公知であるため、説明を省略する。

【0012】

【発明が解決しようとする課題】近年、電子機器に対する低消費電力化の要求がますます高まっており、スイッチトキャバシタ回路においても低消費電力化が求められている。一般に MOS トランジスタによって構成される論理回路の消費電力は電源電圧の 2 乗に比例して低減される。アナログ回路であるスイッチトキャバシタ回路においても低電圧化は低消費電力化に大きな効果がある。しかし、電源電圧を下げた場合、通常のしきい値電圧の MOS トランジスタはオンしなくなってしまう。

【0013】例えば、スイッチトキャバシタ積分器 101において、電源電圧が 1V で、N チャネル MOS トランジスタのしきい値電圧が +0.6V、P チャネル MOS トランジスタのしきい値電圧が -0.6V の場合について考えてみる。尚、各 MOS トランジスタのしきい値電圧は、それぞれのソース電圧に対する値として表されている。つまり、N チャネル MOS トランジスタのソース電圧はグランド電圧であるため、しきい値電圧の実際の値は 0.6V (=0+0.6) になる。また、P チャネル MOS トランジスタのソース電圧は電源電圧であるため、しきい値電圧の実際の値は 0.4V (=1-0.6) になる。

【0014】ところで、1V の電源電圧は電池駆動の最低電圧であり、スイッチトキャバシタ回路を電池駆動の携帯電子機器に利用するには、1V の電源電圧で正常動作が可能であることが望ましい。ここで、スイッチ 6 を構成する N チャネル MOS トランジスタに着目すると、そのソース端子は基準電圧入力端子 9 に接続されているため、当該トランジスタのソース電圧は、スイッチトキャバシタ積分器 101 の基準電圧と同じになる。スイッ

チトキャバシタ積分器 101 の基準電圧は、一般に、電源電圧とグランド電圧との中間電圧に設定されているため、この場合は 0.5V になる。従って、当該トランジスタのゲート端子 6 0 に電源電圧と同じ 1V が入力されても、当該トランジスタのソース・ゲート間電圧は 0.5V にしかならず、N チャネル MOS トランジスタのしきい値電圧である 0.6V を上回ることができないため、当該トランジスタはオンしないことになる。

【0015】同様に、スイッチ 6 を構成する P チャネル MOS トランジスタや、他のスイッチ 6 を構成する N チャネルおよび P チャネルの各トランジスタについてもオンしないことになる。この問題を回避するには、しきい値電圧の絶対値が低い MOS トランジスタを用いればよく、例えば、電源電圧が 1V で、基準電圧が 0.5V の場合、N チャネル MOS トランジスタのしきい値電圧を +0.3V にし、P チャネル MOS トランジスタのしきい値電圧を -0.3V にすればよい。

【0016】図 14 に、一般的な MOS トランジスタのしきい値電圧とリーク電流の関係を示す。図 14 において、横軸は MOS トランジスタのしきい値電圧の絶対値であり、縦軸はしきい値電圧の絶対値が 0.6V のときのリーク電流値を 1 として正規化したリーク電流値である。

【0017】しきい値電圧の絶対値が小さくなるとリーク電流は指數関数的に増加し、例えば、しきい値電圧の絶対値を 0.6V から 0.3V に下げるとき、リーク電流は数千倍にも増加する。このようにリーク電流が増加すると、スイッチトキャバシタ積分器 101 における積分容量 3 およびサンプリング容量 4 に蓄積された電荷が抜けてしまい、スイッチトキャバシタ回路の原理である容量間の電荷保存則が成立しなくなるため、出力端子 10 から出力される積分結果の精度が低くなってしまう。

【0018】ここで、スイッチトキャバシタ積分器 101 を逆相積分器として動作させた場合におけるスイッチ 8 のリーク電流を例にとって説明する。尚、説明を分かりやすくするために、各スイッチ 5～7 のリーク電流は零とみなす。制御信号 f_2 の論理レベルが「1」に切り替わり各スイッチ 6、7 がオンしたとき、制御信号 f_2 の論理レベルが切り替わった直後における出力端子 10 の電圧を $V_{out\ 1}$ 、基準電圧入力端子 9 の電圧を V_{ref} とすると、この時点において積分容量 3 に蓄積されている電荷 Q_1 は、式 (1) によって求められる。尚、積分容量 3 の容量値は C_0 とする。

【0019】

$$Q_1 = C_0 \cdot (V_{out\ 1} - V_{ref}) \quad \dots \dots \dots \text{式 1}$$

ここで、スイッチ 8 のリーク電流を I_{r8} 、スイッチ 7 がオンしている時間を t とすると、積分容量 3 から各スイッチ 7、8 を経由して基準電圧入力端子 9 側へ流出す

$$Q_2 = t \cdot I_{r8} \quad \dots \dots \dots \text{式 2}$$

【0020】

従って、制御信号 f_2 の論理レベルが「1」から「0」に切り換わる直前における出力端子 10 の電圧を $V_{out\ t\ 2}$ とすると、この時点において積分容量 3 に蓄積され

$$\begin{aligned} Q_3 &= CO \cdot (V_{out\ t\ 2} - V_{ref}) \\ &= Q_1 - Q_2 \\ &= CO \cdot (V_{out\ t\ 1} - V_{ref}) - (t \cdot I_{r8}) \end{aligned}$$

..... (式3)

式(3)より式(4)が求められる。

$$\begin{aligned} &(V_{out\ t\ 2} - V_{ref}) \\ &= (V_{out\ t\ 1} - V_{ref}) - (t \cdot I_{r8}) / CO \end{aligned} \quad \text{..... (式4)}$$

式(4)より、リーク電流 I_{r8} が十分に小さく無視できる場合は積分容量 3 の電荷が保存され、 $V_{out\ t\ 2}$ と $V_{out\ t\ 1}$ とがほぼ等しい値になるため、出力端子 10 から出力される積分結果の精度を高くすることができる。しかし、リーク電流 I_{r8} が大きい場合には積分容量 3 の電荷が保存されなくなり、 $V_{out\ t\ 2}$ と $V_{out\ t\ 1}$ とが異なる値になるため、出力端子 10 から出力される積分結果の精度が低くなってしまう。

【0023】同様に、各スイッチ 5~7 についても、リーク電流が大きい場合には積分容量 3 およびサンプリング容量 4 の電荷が抜けてしまうため、出力端子 10 から出力される積分結果の精度が低くなってしまう。このように、しきい値電圧の低いMOSトランジスタを用いるとリーク電流が増大するため、電源電圧を下げた場合、従来のスイッチトキャバシタ積分器 101 では積分精度が低下して使用できなくなるという問題があった。

【0024】尚、この問題は、積分器に限らず、スイッチトキャバシタ回路によって構成された各種アナログ回路（加算器、アナログフィルタ、A/D変換器、D/A変換器、発振器など）においても同様に起こる。ちなみに、この問題については、信学技報：ICD94-91（1994-08）「低電圧A/D、D/A変換技術」においても述べられている。

【0025】本発明は上記問題点を解決するためになされたものであって、その目的は、低消費電力化を図るために低電源電圧化を行った際に、リーク電流の増大を防止して高精度な動作を実現することが可能なスイッチトキャバシタ回路を提供することにある。

【0026】

【課題を解決するための手段】かかる目的を達成するためになされた請求項1に記載の発明は、MOSトランジスタによって構成されるスイッチによってキャバシタの充放電を制御するスイッチトキャバシタ回路に関するものである。そして、前記スイッチを構成するMOSトランジスタのチャネル内の電界を制御することにより、当該スイッチのオン時には当該MOSトランジスタのしきい値電圧の絶対値を小さくし、当該スイッチのオフ時には当該MOSトランジスタのしきい値電圧の絶対値を大きくする。

【0027】従って、本発明によれば、スイッチのオフ

ている電荷 Q_3 は式(1) (2) より、式(3)によつて求められる。

【0021】

【0022】

時にMOSトランジスタのしきい値電圧の絶対値を大きくすることにより、当該MOSトランジスタのリーク電流を低減することができる。そのため、スイッチトキャバシタ回路の原理である容量間の電荷保存則が成立し、スイッチトキャバシタ回路の高精度な動作を実現することができる。

【0028】また、スイッチのオン時にMOSトランジスタのしきい値電圧の絶対値を小さくすることにより、電源電圧が低い場合でも、当該MOSトランジスタを確実にオンさせることができくなる。そのため、電源電圧を低減してスイッチトキャバシタ回路の低消費電力化を図ることができる。尚、スイッチのオン時には、MOSトランジスタのしきい値電圧の絶対値が小さくなつてリーク電流が増大したとしても、キャバシタに充電される電荷には何ら影響を与えないため、スイッチトキャバシタ回路の動作精度が低下することはない。

【0029】次に、請求項2に記載の発明は、MOSトランジスタによって構成される複数のスイッチと、当該スイッチに接続されたキャバシタとを有し、複数の前記スイッチを交互にオン・オフ制御することにより、前記キャバシタの充放電を制御するスイッチトキャバシタ回路であつて、複数の前記スイッチを構成する複数のMOSトランジスタのチャネル内の電界を制御することにより、複数の前記スイッチのうち、オン状態のスイッチを構成する複数のMOSトランジスタのしきい値電圧の絶対値を同時に小さくし、オフ状態のスイッチを構成する複数のMOSトランジスタのしきい値電圧の絶対値を同時に大きくすることを特徴とする。

【0030】ところで、請求項1に記載のスイッチトキャバシタ回路における前記スイッチは、請求項4に記載の発明のように、NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えたCMOS構成のトランスマッショングートから成るか、または、請求項3に記載の発明のように、NチャネルMOSトランジスタまたはPチャネルMOSトランジスタの少なくとも一方から成る。

【0031】次に、請求項5に記載の発明は、請求項3に記載のスイッチトキャバシタ回路において、前記スイッチは、半導体基板上に絶縁体層を介して形成された単結晶半導体層にて構成されたMOSトランジスタから成

る。そして、スイッチトキャバシタ回路は、少なくとも前記MOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた埋め込み電極と、当該埋め込み電極に接続された基板電圧制御端子とを備える。ここで、前記スイッチのオン時には、前記MOSトランジスタのしきい値電圧の絶対値を小さくする第1の制御電圧を前記基板電圧制御端子に印加する。また、前記スイッチのオフ時には、前記MOSトランジスタのしきい値電圧の絶対値を大きくする第2の制御電圧を前記基板電圧制御端子に印加する。

【0032】従って、本発明によれば、SOI構造のNチャネルおよびPチャネルのMOSトランジスタによって前記スイッチを具体化することができ、基板電圧制御端子に制御電圧を印加することにより、埋め込み電極の電圧を調整することができる。そして、基板電圧は埋め込み電極の電圧と等しくなるため、基板電圧制御端子に印加する制御電圧を調整することにより基板電圧を制御することができるため、しきい値電圧を所望の値に設定することができる。

【0033】次に、請求項6に記載の発明は、請求項3または請求項4に記載のスイッチトキャバシタ回路において、前記スイッチは、半導体基板上に絶縁体層を介して形成された第1の単結晶半導体層にて構成されたNチャネルMOSトランジスタと、当該半導体基板上に絶縁体層を介して形成された第2の単結晶半導体層にて構成されたPチャネルMOSトランジスタとから成る。そして、スイッチトキャバシタ回路は、少なくとも前記NチャネルMOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた第1の埋め込み電極と、少なくとも前記PチャネルMOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた第2の埋め込み電極と、前記第1の埋め込み電極に接続された第1の基板電圧制御端子と、前記第2の埋め込み電極に接続された第2の基板電圧制御端子とを備えている。ここで、前記スイッチのオン時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第3の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第4の制御電圧を前記第2の基板電圧制御端子に印加する。また、前記スイッチのオフ時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第5の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第6の制御電圧を前記第2の基板電圧制御端子に印加する。

【0034】従って、本発明によれば、SOI構造のNチャネルおよびPチャネルのMOSトランジスタによって前記スイッチを具体化することができ、基板電圧制御端子に制御電圧を印加することにより、埋め込み電極

電圧を調整することができる。そして、基板電圧は埋め込み電極の電圧と等しくなるため、基板電圧制御端子に印加する制御電圧を調整することにより基板電圧を制御することができるため、しきい値電圧を所望の値に設定することができる。

【0035】次に、請求項7に記載の発明は、請求項3に記載のスイッチトキャバシタ回路において、前記スイッチは、半導体基板上のウェルに形成されたMOSトランジスタから成る。そして、スイッチトキャバシタ回路は、前記ウェル上に形成された拡散層と、当該拡散層に接続された基板電圧制御端子とを備えている。ここで、前記スイッチのオン時には、前記MOSトランジスタのしきい値電圧の絶対値を小さくする第1の制御電圧を前記基板電圧制御端子に印加する。また、前記スイッチのオフ時には、前記MOSトランジスタのしきい値電圧の絶対値を大きくする第2の制御電圧を前記基板電圧制御端子に印加する。

【0036】従って、本発明によれば、基板電圧制御端子に制御電圧を印加することにより、前記拡散層の電圧を調整することができる。そして、基板電圧は前記拡散層の電圧と等しくなるため、基板電圧制御端子に印加する制御電圧を調整することにより基板電圧を制御することができるため、しきい値電圧を所望の値に設定することができる。

【0037】次に、請求項8に記載の発明は、請求項3または請求項4に記載のスイッチトキャバシタ回路において、前記スイッチは、半導体基板上のPウェルに形成されたNチャネルMOSトランジスタと、半導体基板上のNウェルに形成されたPチャネルMOSトランジスタとから成る。そして、スイッチトキャバシタ回路は、前記Pウェル上に形成されたP型拡散層と、前記Nウェル上に形成されたN型拡散層と前記P型拡散層に接続された第1の基板電圧制御端子と、前記N型拡散層に接続された第2の基板電圧制御端子とを備えている。ここで、前記スイッチのオン時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第3の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第4の制御電圧を前記第2の基板電圧制御端子に印加する。また、前記スイッチのオフ時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第5の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第6の制御電圧を前記第2の基板電圧制御端子に印加する。

【0038】従って、本発明によれば、基板電圧制御端子に制御電圧を印加することにより、前記拡散層の電圧を調整することができる。そして、基板電圧は前記拡散層の電圧と等しくなるため、基板電圧制御端子に印加す

る制御電圧を調整することにより基板電圧を制御することができるため、しきい値電圧を所望の値に設定することができる。

【0039】次に、請求項9に記載の発明は、請求項1～8のいずれか1項に記載のスイッチトキャバシタ回路において、前記スイッチを構成するMOSトランジスタの基板電圧とゲート電圧とを等しくする。従って、本発明によれば、基板電圧とゲート電圧とが等しいため、基板電圧を制御する制御回路として、ゲート電圧を制御する制御回路を流用することが可能になり、基板電圧を制御する制御回路を独立して設ける必要がないことから、制御回路の構成を簡略化することができる。

【0040】

【発明の実施の形態】(第1実施形態)以下、本発明を具体化した第1実施形態を図面と共に説明する。尚、本実施形態において、図12に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0041】図1に、第1実施形態のスイッチトキャバシタ積分器11の回路構成を示す。スイッチトキャバシタ積分器11の構成において、図12に示した従来のスイッチトキャバシタ積分器101の構成と異なるのは以下の点だけである。

(1) 各スイッチ5～8を構成する各NチャネルMOSトランジスタに、それぞれの基板電圧を制御するための基板電圧制御端子52、62、72、82が設けられており、後述するように、各基板電圧制御端子に制御電圧を印加することにより、当該基板電圧を印加した制御電圧に等しくする。

【0042】(2) 各スイッチ5～8を構成する各PチャネルMOSトランジスタに、それぞれの基板電圧を制御するための基板電圧制御端子53、63、73、83が設けられており、後述するように、各基板電圧制御端子に制御電圧を印加することにより、当該基板電圧を印加した制御電圧に等しくする。

【0043】次に、スイッチトキャバシタ積分器11の動作について説明する。スイッチトキャバシタ積分器11の各スイッチ5～8に入力される制御信号f1、f2、バーf1、バーf2は、図13に示すスイッチトキャバシタ積分器101におけるそれと同じである。そして、スイッチトキャバシタ積分器11を逆相積分器または正相積分器として動作させる方法についても、スイッチトキャバシタ積分器101におけるそれと同じである。

【0044】図2に、各基板電圧制御端子52、62、72、82、53、63、73、83に印加される制御電圧と、各スイッチ5～8を構成するNチャネルおよびPチャネルMOSトランジスタのしきい値電圧との関係を示す。NチャネルMOSトランジスタにおいて、各基板電圧制御端子52、62、72、82に印加する制御

電圧をVCHからVCLへ増大させると、しきい値電圧はVTHからVTLへ減少する。

【0045】また、PチャネルMOSトランジスタにおいて、各基板電圧制御端子53、63、73、83に印加する制御電圧を-VCHから-VCLへ減少させると、しきい値電圧は-VTHから-VTLへ増大する。尚、各基板電圧制御端子52、62、72、82、53、63、73、83に印加される制御電圧VCH、VCL、-VCH、-VCLおよび各MOSトランジスタのしきい値電圧VTH、VTL、-VTH、-VTLは、それぞれのMOSトランジスタのソース電圧に対する値として表されている。

【0046】ここで、特許請求の範囲または課題を解決するための手段に記載の「第1の制御電圧」は制御電圧VCLまたは-VCLに相当し、同じく「第2の制御電圧」は制御電圧VCHまたは-VCHに相当し、同じく「第3の制御電圧」は制御電圧VCLに相当し、同じく「第4の制御電圧」は制御電圧-VCLに相当し、同じく「第5の制御電圧」は制御電圧VCHに相当し、同じく「第6の制御電圧」は制御電圧-VCHに相当する。

【0047】スイッチトキャバシタ積分器11において、各スイッチ5～8のオフ時には、自身を構成するMOSトランジスタのしきい値電圧の絶対値が大きくなるよう、当該MOSトランジスタの基板電圧を制御する。すなわち、各スイッチ5～8のオフ時には、各基板電圧制御端子52、62、72、82に印加する制御電圧をVCHにすることにより、NチャネルMOSトランジスタのしきい値電圧をVTHにすると共に、各基板電圧制御端子53、63、73、83に印加する制御電圧を-VCHにすることにより、PチャネルMOSトランジスタのしきい値電圧を-VTHにする。

【0048】このように、各スイッチ5～8のオフ時にMOSトランジスタのしきい値電圧の絶対値を大きくすることにより、当該MOSトランジスタのリーク電流を低減することができる。従って、積分容量3およびサンプリング容量4に蓄積された電荷が抜け難くなり、スイッチトキャバシタ回路の原理である容量間の電荷保存則が成立するため、スイッチトキャバシタ積分器11の出力端子10から出力される積分結果の精度を向上させることができる。

【0049】また、スイッチトキャバシタ積分器11において、各スイッチ5～8のオン時には、自身を構成するMOSトランジスタのしきい値電圧の絶対値が小さくなるよう、当該MOSトランジスタの基板電圧を制御する。すなわち、各スイッチ5～8のオン時には、各基板電圧制御端子52、62、72、82に印加する制御電圧をVCLにすることにより、NチャネルMOSトランジスタのしきい値電圧をVTLにすると共に、各基板電圧制御端子53、63、73、83に印加する制御電圧を-VCLにすることにより、PチャネルMOSトランジスタのしきい値電圧を-VTLにする。

【0050】このように、各スイッチ5～8のオン時にMOSトランジスタのしきい値電圧の絶対値を小さくすることにより、電源電圧が低い場合でも、当該MOSトランジスタを確実にオンさせることができると。そのため、電源電圧を低減してスイッチトキャバシタ積分器11の低消費電力化を図ることができる。

【0051】尚、各スイッチ5～8のオン時には、MOSトランジスタのしきい値電圧の絶対値が小さくなつてリーク電流が増大したとしても、積分容量3およびサンプリング容量4に充電される電荷には何ら影響を与えないため、スイッチトキャバシタ積分器11の積分精度が低下することはない。

【0052】例えば、スイッチトキャバシタ積分器11において、電源電圧が1V、基準電圧が0.5Vで、NチャネルMOSトランジスタのしきい値電圧VTHが0.6V、VTLが0.3V、PチャネルMOSトランジスタのしきい値電圧-VTHが-0.6V、-VTLが-0.3Vの場合について考えてみる。

【0053】尚、各基板電圧制御端子52、62、72、82、53、63、73、83に印加される制御電圧および各MOSトランジスタのしきい値電圧は、それぞれのMOSトランジスタのソース電圧に対する値として表されている。つまり、NチャネルMOSトランジスタのソース電圧はグランド電圧であるため、しきい値電圧VTHの実際の値は0.6V(=0+0.6)、しきい値電圧VTLの実際の値は0.3V(=0+0.3)、制御電圧VCHの実際の値はVCH(=0+VCH)、制御電圧VCLの実際の値はVCL(=0+VCL)になる。また、PチャネルMOSトランジスタのソース電圧は電源電圧であるため、しきい値電圧-VTHの実際の値は0.4V(=1-0.6)、しきい値電圧-VTLの実際の値は0.7V(=1-0.3)、制御電圧-VCHの実際の値は(1-VCH)、制御電圧-VCLの実際の値は(1-VCL)になる。

【0054】ここで、スイッチ6を構成するNチャネルMOSトランジスタに着目すると、そのゲート端子60に電源電圧と等しい1Vの電圧を印加して、当該MOSトランジスタをオンさせる場合、そのソース・ゲート間電圧は0.5Vであるから、当該MOSトランジスタがオンするには、しきい値電圧が0.5V未満でなければならない。そこで、当該MOSトランジスタのしきい値電圧が0.3Vとなるように、基板電圧制御端子62に印加する制御電圧をVCLにする。

【0055】また、当該MOSトランジスタのゲート端子60にグランド電圧を印加して、当該MOSトランジスタをオフさせる場合、基板電圧制御端子62に印加する制御電圧をVCLとすると、図14に示すように、リーク電流はITLと大きくなる。そのため、サンプリング容量4に蓄積されている電荷は、当該MOSトランジスタのリーク電流と成って基準電圧入力端子9側へ流出して

しまう。ここで、当該MOSトランジスタのしきい値電圧を0.6Vにすれば、リーク電流は十分に小さく無視できる値になる。そこで、当該MOSトランジスタのしきい値電圧が0.6Vになるように、基板電圧制御端子62に印加する制御電圧をVCHにする。

【0056】以上詳述したように、本実施形態によれば、低消費電力化を図るために低電源電圧化を行った際に、リーク電流の増大を防止して高い積分精度を得ることが可能なスイッチトキャバシタ積分器11を実現することができる。図3に、スイッチトキャバシタ積分器11の各スイッチ5～8に入力される制御信号f1、f2、バーf1、バーf2および制御電圧VCH、VCLを生成する制御回路12の回路構成例を示す。

【0057】制御回路12は、CMOSインバータ回路13～16および入力端子17、18から構成されている。インバータ回路13は、外部から入力端子18に入力される制御信号f2の論理レベルを反転させて制御信号バーf2を生成する。インバータ回路14は、インバータ回路13から出力される制御信号バーf2の論理レベルを反転させて制御信号f2を生成する。インバータ回路15は、外部から入力端子17に入力される制御信号f1の論理レベルを反転させて制御信号バーf1を生成する。インバータ回路16は、インバータ回路15から出力される制御信号バーf1の論理レベルを反転させて制御信号f1を生成する。

【0058】尚、図3には、スイッチトキャバシタ積分器11を逆相増幅器として動作させる場合における、スイッチトキャバシタ積分器11と制御回路12との接続構成を示してある。ここで、各制御電圧VCH、-VCLの実際の値はグランド電圧に等しく、各制御電圧VCL、-VCHの実際の値は電源電圧に等しく設定されている。また、各制御信号f1、f2、バーf1、バーf2の論理レベル「0」はグランド電圧に等しく、論理レベル「1」は電源電圧に等しく設定されている。

【0059】そのため、スイッチトキャバシタ積分器11を逆相増幅器として動作させるには、各スイッチ5、8を構成するNチャネルMOSトランジスタの各ゲート端子50、80および基板電圧制御端子52、82に制御信号f1を入力し、各スイッチ5、8を構成するPチャネルMOSトランジスタの各ゲート端子51、81および基板電圧制御端子53、83に制御信号バーf1を入力し、各スイッチ6、7を構成するNチャネルMOSトランジスタの各ゲート端子60、70および基板電圧制御端子62、72に制御信号f2を入力し、各スイッチ6、7を構成するPチャネルMOSトランジスタの各ゲート端子61、71および基板電圧制御端子63、73に制御信号バーf2を入力すればよい。

【0060】ところで、スイッチトキャバシタ積分器11を正相増幅器として動作させる場合には、スイッチトキャバシタ積分器11と制御回路12との接続構成を変

えればよく、各スイッチ5、7を構成するNチャネルMOSトランジスタの各ゲート端子50、70および基板電圧制御端子52、72に制御信号f1を入力し、各スイッチ5、7を構成するPチャネルMOSトランジスタの各ゲート端子51、71および基板電圧制御端子53、73に制御信号バーf1を入力し、各スイッチ6、8を構成するNチャネルMOSトランジスタの各ゲート端子60、80および基板電圧制御端子62、82に制御信号f2を入力し、各スイッチ6、8を構成するPチャネルMOSトランジスタの各ゲート端子61、81および基板電圧制御端子63、83に制御信号バーf2を入力すればよい。このように、制御回路12によれば、各ゲート端子50、60、70、80、51、61、71、81を制御するための制御回路と、各基板電圧制御端子52、62、72、82、53、63、73、83を制御するための制御回路とを兼用することができる。

【0061】ところで、従来のスイッチトキャバシタ積分器101の各ゲート端子50、60、70、80、51、61、71、81を制御するためにも、各制御信号f1、f2、バーf1、バーf2を生成する必要がある。そのため、スイッチトキャバシタ積分器101を制御するための制御回路は、制御回路12と同じ構成になる。従って、本実施形態において、制御回路12の構成が従来よりも複雑化することはない。

【0062】図4に、各スイッチ5～8を構成するNチャネルおよびPチャネルの各MOSトランジスタの断面構造の一例を示す。半導体基板としての単結晶シリコン基板20上に、絶縁体層としてのシリコン酸化膜21が形成されている。シリコン酸化膜21の表面に、第2

(第1)の単結晶半導体層としての薄膜の単結晶シリコン層22(23)が形成されている。単結晶シリコン層22(23)上にゲート絶縁膜24(25)を介して、ポリシリコンから成るゲート電極26(27)が形成されている。また、シリコン酸化膜21中には、ポリシリコンから成る第2(第1)の埋め込み電極34(35)が埋め込まれている。単結晶シリコン層22(23)において、ゲート絶縁膜24(25)の下側に対応する部分には低不純物濃度のN型(P型)のチャネル領域54(55)が形成され、チャネル領域54(55)の両側には高不純物濃度のP⁺型(N⁺型)の拡散層から成るソース領域56(57)およびドレイン領域58(59)が形成されている。尚、埋め込み電極34(35)は、少なくともチャネル領域54(55)に対向して配置されている。ソース領域56(57)には金属電極から成るソース端子28(29)が接続され、ドレイン領域58(59)には金属電極から成るドレイン端子30(31)が接続され、ゲート電極26(27)には金属電極から成るゲート端子32(33)が接続され、埋め込み電極34(35)には金属電極から成る第2(第1)の基板電圧制御端子36(37)が接続されてい

る。そして、ソース領域56(57)、ドレイン領域58(59)、チャネル領域54(55)、ゲート電極26(27)により、Pチャネル(Nチャネル)MOSトランジスタ38(39)が構成されている。尚、上記の()外の符号はPチャネルMOSトランジスタに対応し、()内の符号はNチャネルMOSトランジスタに対応している。

【0063】以上のように構成されたSOI構造の各MOSトランジスタ38、39においては、基板電圧制御端子36、37に制御電圧を印加することにより、埋め込み電極34、35の電圧を調整することができる。そして、基板電圧は埋め込み電極34、35の電圧と等しくなるため、基板電圧制御端子36、37に印加する制御電圧を調整することにより基板電圧を制御することができるため、上記したように、しきい値電圧を設定することができる。

【0064】図5に、各スイッチ5～8を構成するNチャネルおよびPチャネルの各MOSトランジスタの断面構造の別例を示す。尚、図5において、図4に示したのと同じ構成部材については符号を等しくしてある。P型またはN型の単結晶シリコン基板20上に、単結晶シリコン基板20と逆極性となるような低不純物濃度のN型またはP型のウェル46が形成されている。ウェル46中にはそれぞれ独立してNウェル40およびPウェル41が形成されている。Nウェル40(Pウェル41)の表面に、高不純物濃度のP⁺型(N⁺型)のソース領域66(67)およびドレイン領域68(69)が形成されている。ソース領域66(67)とドレイン領域68(69)とに挟まれたチャネル領域64(65)上に、ゲート絶縁膜24(25)を介して、ポリシリコンから成るゲート電極26(27)が形成されている。また、Nウェル40(Pウェル41)の表面に、高不純物濃度のN⁺型(P⁺型)の拡散層44(45)が形成されている。ソース領域66(67)には金属電極から成るソース端子28(29)が接続され、ドレイン領域68(69)には金属電極から成るドレイン端子30(31)が接続され、ゲート電極26(27)には金属電極から成るゲート端子32(33)が接続され、拡散層44(45)には金属電極から成る第2(第1)の基板電圧制御端子36(37)が接続されている。そして、ソース領域66(67)、ドレイン領域68(69)、チャネル領域64(65)、ゲート電極26(27)により、Pチャネル(Nチャネル)MOSトランジスタ74(75)が構成されている。尚、上記の()外の符号はPチャネルMOSトランジスタに対応し、()内の符号はNチャネルMOSトランジスタに対応している。

【0065】以上のように構成された各MOSトランジスタ74、75においては、基板電圧制御端子36、37に制御電圧を印加することにより、拡散層44、45の電圧を調整することができる。そして、基板電圧は拡

散層44、45の電圧と等しくなるため、基板電圧制御端子36、37に印加する制御電圧を調整することにより基板電圧を制御することが可能になるため、上記したように、しきい値電圧を設定することができる。

【0066】(第2実施形態)以下、本発明を具体化した第2実施形態を図面と共に説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0067】図6に、第2実施形態のスイッチトキャバシタ積分器76の回路構成を示す。スイッチトキャバシタ積分器76の構成において、第1実施形態のスイッチトキャバシタ積分器11の構成と異なるのは、各スイッチ5～8がPチャネルMOSトランジスタのみから構成されている点だけである。

【0068】従って、スイッチトキャバシタ積分器76においても、各スイッチ5～8のオフ時にはPチャネルMOSトランジスタのしきい値電圧の絶対値が大きくなるように基板電圧を制御し、各スイッチ5～8のオン時にはPチャネルMOSトランジスタのしきい値電圧の絶対値が小さくなるように基板電圧を制御することにより、スイッチトキャバシタ積分器11と同様の作用および効果を得ることができる。

【0069】尚、スイッチトキャバシタ積分器76を制御するための制御回路例は、各制御信号バーf1、バーf2のみを生成すればよいため、第1実施形態の制御回路12から各インバータ回路14、16を省いた回路構成になる。図7に、各スイッチ5～8を構成するPチャネルMOSトランジスタの断面構造の一例を示す。尚、図7に示すPチャネルMOSトランジスタの構造は、図4に示した第1実施形態のPチャネルMOSトランジスタ38と同じ構造であるため、同じ構成部材については符号を等しくしてその説明を省略する。

【0070】図8に、各スイッチ5～8を構成するPチャネルMOSトランジスタの断面構造の別例を示す。尚、図8において、図5に示した第1実施形態のPチャネルMOSトランジスタ74と同じ構成部材については符号を等しくしてある。P型の単結晶シリコン基板20上に、独立したNウェル40が形成されている。Nウェル40の表面に、高不純物濃度のP⁺型のソース領域66およびドレイン領域68が形成されている。ソース領域66とドレイン領域68とに挟まれたチャネル領域64上に、ゲート絶縁膜24を介して、ポリシリコンから成るゲート電極26が形成されている。また、Nウェル40の表面に、高不純物濃度のN⁺型の拡散層44が形成されている。ソース領域66には金属電極から成るソース端子28が接続され、ドレイン領域68には金属電極から成るドレイン端子30が接続され、ゲート電極26には金属電極から成るゲート端子32が接続され、拡散層44には金属電極から成る基板電圧制御端子36が接続されている。そして、ソース領域66、ドレイン領域68、チャネル領域64、ゲート電極26により、PチャネルMOSトランジスタが構成されている。

【0071】以上のように構成されたPチャネルMOSトランジスタにおいては、基板電圧制御端子36に制御電圧を印加することにより、拡散層44の電圧を調整することができる。そして、基板電圧は拡散層44の電圧と等しくなるため、基板電圧制御端子36に印加する制御電圧を調整することにより基板電圧を制御することができる。

【0072】(第3実施形態)以下、本発明を具体化した第3実施形態を図面と共に説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0073】図9に、第3実施形態のスイッチトキャバシタ積分器77の回路構成を示す。スイッチトキャバシタ積分器77の構成において、第1実施形態のスイッチトキャバシタ積分器11の構成と異なるのは、各スイッチ5～8がNチャネルMOSトランジスタのみから構成されている点だけである。

【0074】従って、スイッチトキャバシタ積分器77においても、各スイッチ5～8のオフ時にはNチャネルMOSトランジスタのしきい値電圧の絶対値が大きくなるように基板電圧を制御し、各スイッチ5～8のオン時にはNチャネルMOSトランジスタのしきい値電圧の絶対値が小さくなるように基板電圧を制御することにより、スイッチトキャバシタ積分器11と同様の作用および効果を得ることができる。

【0075】尚、スイッチトキャバシタ積分器77を制御するための制御回路例は、第1実施形態の制御回路12と同一の回路構成で、各制御信号バーf1、バーf2は必要ないので、制御回路12におけるインバータ回路13、15の出力はスイッチトキャバシタ積分器77に接続されない構成になる。

【0076】図10に、各スイッチ5～8を構成するNチャネルMOSトランジスタの断面構造の別例を示す。尚、図10に示すNチャネルMOSトランジスタの構造は、図4に示した第1実施形態のNチャネルMOSトランジスタ39と同じ構造であるため、同じ構成部材については符号を等しくしてその説明を省略する。

【0077】図11に、各スイッチ5～8を構成するNチャネルMOSトランジスタの断面構造の一例を示す。尚、図11において、図5に示した第1実施形態のNチャネルMOSトランジスタ75と同じ構成部材については符号を等しくしてある。N型の単結晶シリコン基板20上に、独立したPウェル41が形成されている。Pウェル41の表面に、高不純物濃度のN⁺型のソース領域67およびドレイン領域69が形成されている。ソース領域67とドレイン領域69とに挟まれたチャネル領域65上に、ゲート絶縁膜25を介して、ポリシリコンから成るゲート電極26が形成されている。

ら成るゲート電極27が形成されている。また、Pウェル41の表面に、高不純物濃度のP+型の拡散層45が形成されている。ソース領域67には金属電極から成るソース端子29が接続され、ドレイン領域69には金属電極から成るドレイン端子31が接続され、ゲート電極27には金属電極から成るゲート端子33が接続され、拡散層45には金属電極から成る基板電圧制御端子37が接続されている。そして、ソース領域67、ドレイン領域69、チャネル領域65、ゲート電極27により、NチャネルMOSトランジスタが構成されている。

【0078】以上のように構成されたNチャネルMOSトランジスタにおいては、基板電圧制御端子37に制御電圧を印加することにより、拡散層45の電圧を調整することができる。そして、基板電圧は拡散層45の電圧と等しくなるため、基板電圧制御端子37に印加する制御電圧を調整することにより基板電圧を制御することができるため、第1実施形態と同様に、しきい値電圧を設定することができる。

【0079】尚、本発明は上記各実施形態に限定されるものではなく、以下のように変更してもよく、その場合でも、上記各実施形態と同様の作用および効果を得ることができる。

(1) 第1実施形態では、NチャネルおよびPチャネルの両MOSトランジスタのしきい値電圧の絶対値が等しいものとして説明したが、両MOSトランジスタのしきい値電圧の絶対値が異なっていてもよい。

【0080】(2) 第1実施形態では、各基板電圧制御端子52、62、72、82、53、63、73、83に印加される制御電圧の絶対値が、NチャネルおよびPチャネルの両MOSトランジスタについて等しいものとして説明したが、両MOSトランジスタについて制御電圧の絶対値が異なっていてもよい。

【0081】(3) スイッチトキャバシタ積分器に限らず、スイッチトキャバシタ回路によって構成された各種アナログ回路(加算器、アナログフィルタ、A/D変換器、D/A変換器、発振器など)に適用してもよい。

【図面の簡単な説明】

【図1】第1実施形態のスイッチトキャバシタ積分器の

回路図。

【図2】第1～第3実施形態のMOSトランジスタの特性図。

【図3】第1実施形態のスイッチトキャバシタ積分器および制御回路の回路図。

【図4】第1実施形態のスイッチの構造の一例を示す概略断面図。

【図5】第1実施形態のスイッチの構造の別例を示す概略断面図。

【図6】第2実施形態のスイッチトキャバシタ積分器の回路図。

【図7】第2実施形態のスイッチの構造の一例を示す概略断面図。

【図8】第2実施形態のスイッチの構造の別例を示す概略断面図。

【図9】第3実施形態のスイッチトキャバシタ積分器の回路図。

【図10】第3実施形態のスイッチの構造の一例を示す概略断面図。

【図11】第3実施形態のスイッチの構造の別例を示す概略断面図。

【図12】従来のスイッチトキャバシタ積分器の回路図。

【図13】第1～第3実施形態および従来のスイッチトキャバシタ積分器を制御するための制御信号のタイミングチャート。

【図14】MOSトランジスタの特性図。

【符号の説明】

3…積分容量 4…サンプリング容量 5～8…スイッチ

20…単結晶シリコン基板 21…シリコン酸化膜
22、23…単結晶シリコン層 34、35…埋め込み電極

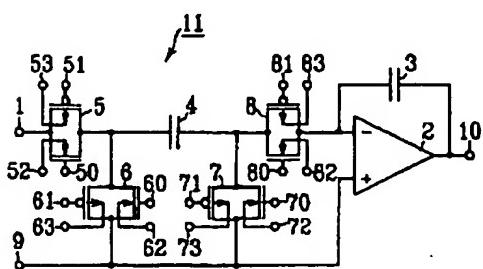
51、52…チャネル領域 36、37…基板電圧制御端子

40、41…ウェル 44、45…拡散層

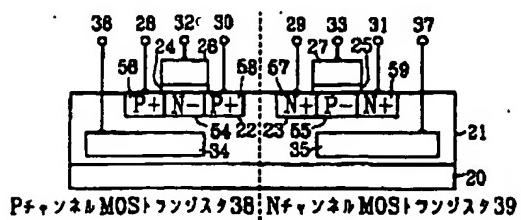
VCH、-VCH、VCL、-VCL…制御電圧

VTH、-VTH、VTL、-VTL…しきい値電圧

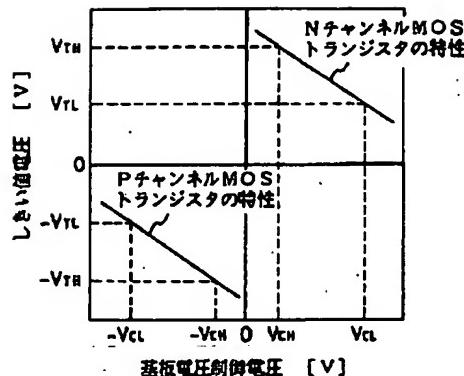
【図1】



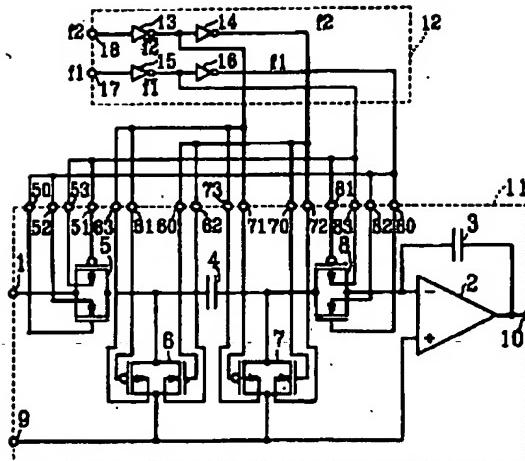
【図4】



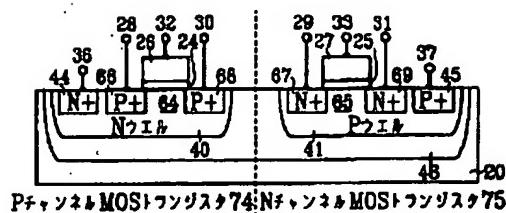
[图2]



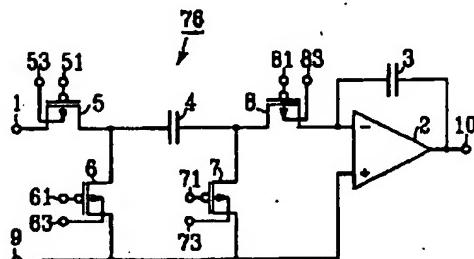
(図3)



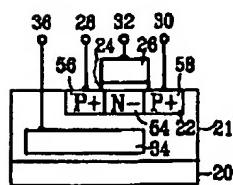
〔圖5〕



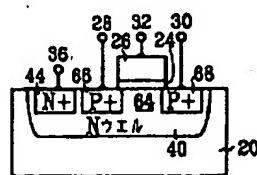
【圖6】



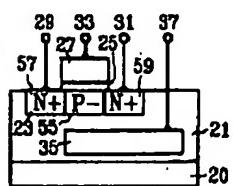
(7)



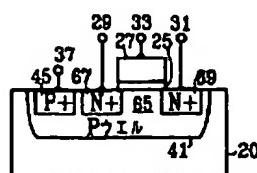
〔圖8〕



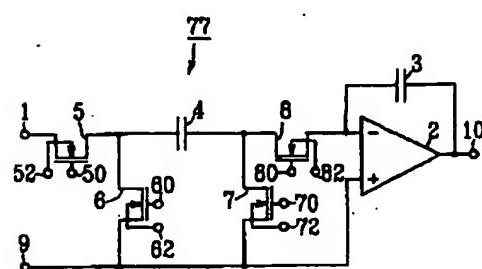
【图 10】



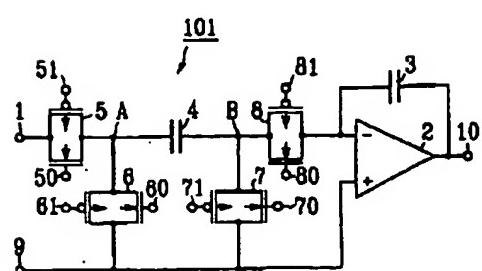
(圖 11)



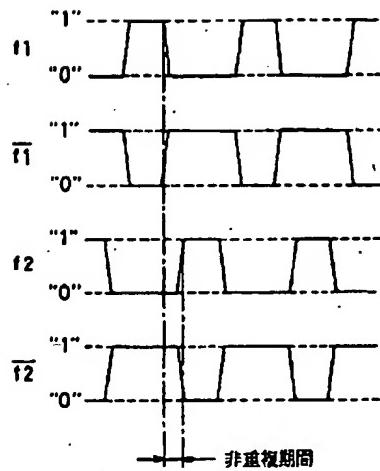
【圖 9】



〔図12〕



【図13】



【図14】

